



K. Hayashi  
Filed 9/30/03  
Q 77787  
10f1

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 2 年 1 0 月 1 日

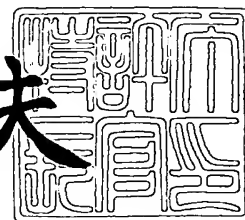
出 願 番 号  
Application Number: 特 願 2 0 0 2 - 2 8 8 7 7 7  
[ST. 10/C]: [ J P 2 0 0 2 - 2 8 8 7 7 7 ]

出 願 人  
Applicant(s): N E C 化 合 物 デ バ イ ス 株 式 有 限 公 司

2 0 0 3 年 8 月 1 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 7 4 2 8

【書類名】 特許願

【整理番号】 22610004

【提出日】 平成14年10月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/48

【発明の名称】 半導体装置及びその製造方法

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 エヌイーシー化合物デバイス株式会社内

【氏名】 林 侯司

【特許出願人】

【識別番号】 302000346

【氏名又は名称】 エヌイーシー化合物デバイス株式会社

【代理人】

【識別番号】 100081433

【弁理士】

【氏名又は名称】 鈴木 章夫

【手数料の表示】

【予納台帳番号】 007009

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0204086

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 低抵抗の半導体基板上に高抵抗の半導体層を有し、前記高抵抗の半導体層上にコレクタとベースとエミッタとを含む素子が形成され、前記エミッタに接続されるエミッタ電極を前記半導体層に設けた低抵抗の拡散層によって前記半導体基板に電気接続した半導体装置において、前記ベースに接続されて外部に導出接続するためのベースボンディングパッドを前記低抵抗の拡散層の直上領域に配設したことを特徴とする半導体装置。

【請求項 2】 一導電型の低抵抗のサブストレートと、前記サブストレート上に成長された一導電型の高抵抗の第 1 のエピタキシャル層と、前記第 1 のエピタキシャル層中に形成された逆導電型の低抵抗のコレクタ埋込層と、前記コレクタ埋込層及び前記第 1 のエピタキシャル層上に成長された逆導電型の第 2 のエピタキシャル層と、前記第 2 のエピタキシャル層に形成された一導電型のベースと、前記ベースに形成された逆導電型のエミッタと、前記第 2 のエピタキシャル層に形成されて前記コレクタ埋込層につながる逆導電型の低抵抗のコレクタコンタクト層と、前記ベース、エミッタ及びコレクタコンタクト層にそれぞれ接続されるベース電極、エミッタ電極、コレクタ電極と、前記第 2 のエピタキシャル層に形成されたサブエミッタ層と、前記サブエミッタ層を前記サブストレートに接続する一導電型の埋込層と、前記サブエミッタ層に接続されかつ前記エミッタ電極に接続されるサブエミッタ電極と、前記サブエミッタ層上を覆う絶縁膜上に形成されて前記ベース電極に接続されるベースボンディングパッドとを備えることを特徴とする半導体装置。

【請求項 3】 前記サブストレートは接地されることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記コレクタ、ベース、エミッタでバイポーラ・ジャンクション・トランジスタが構成される請求項 2 又は 3 に記載の半導体装置。

【請求項 5】 前記サブエミッタ層は少なくとも前記ベースボンディングパッドの直下領域の全てを覆う領域に形成されていることを特徴とする請求項 2 な

いし 4 のいずれかに記載の半導体装置。

【請求項 6】 前記サブエミッタ層と前記ベースボンディングパッドとの間に導電膜が介在され、前記導電膜が前記サブエミッタ電極に接続されていることを特徴とする請求項 2 ないし 4 のいずれかに記載の半導体装置。

【請求項 7】 前記サブエミッタ層と前記導電膜とを合わせた領域は少なくとも前記ベースボンディングパッドの直下領域の全てを覆う領域として形成されていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記導電膜は前記ベース電極の一部を構成する導電膜と同一層の導電膜で構成されていることを特徴とする請求項 6 又は 7 に記載の半導体装置。

【請求項 9】 前記サブエミッタ層は素子分離用のチャネルストッパ層で形成されていることを特徴とする請求項 2 ないし 8 のいずれかに記載の半導体装置。

【請求項 10】 前記エミッタ電極と、前記サブエミッタ層とを接続するサブエミッタ電極とが同一配線層で形成され、前記ベース電極と前記ベースボンディングパッドとが同一配線層で形成されていることを特徴とする請求項 2 ないし 9 のいずれかに記載の半導体装置。

【請求項 11】 一導電型の低抵抗のサブストレート上に一導電型の高抵抗の第 1 のエピタキシャル層を成長する工程と、前記第 1 のエピタキシャル層に前記サブストレートに接続される一導電型の埋込層を形成する工程と、前記第 1 のエピタキシャル層中に逆導電型の低抵抗のコレクタ埋込層を形成する工程と、前記コレクタ埋込層及び前記第 1 のエピタキシャル層上に逆導電型の第 2 のエピタキシャル層を成長する工程と、前記第 2 のエピタキシャル層に前記コレクタ埋込層につながる逆導電型の低抵抗のコレクタコンタクト層を形成する工程と、前記第 2 のエピタキシャル層に前記一導電型の埋込層に接続されるサブエミッタ層を形成する工程と、前記コレクタ埋込層上の前記第 2 のエピタキシャル層上に一導電型のベースを形成する工程と、前記ベースに逆導電型のエミッタを形成する工程と、前記ベース、エミッタ及びコレクタコンタクト層にそれぞれ接続されるベース電極、エミッタ電極、コレクタ電極を形成する工程と、前記サブエミッタ層

と前記エミッタ電極とを接続するサブエミッタ電極を形成する工程と、前記サブエミッタ層上を覆う絶縁膜上に前記ベース電極に接続されるベースボンディングパッドを形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 12】 前記サブエミッタ層上を覆う絶縁膜上に導電膜を形成する工程を備え、前記ベースボンディングパッドは前記導電膜を覆う第 2 の絶縁膜上に形成し、前記サブエミッタ電極は前記導電膜に接続されるように形成することを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 13】 前記サブエミッタ層は素子分離絶縁膜の直下に形成されるチャネルストッパ層として形成することを特徴とする請求項 11 又は 12 に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は半導体装置に関し、特にエミッタ接地型の高周波 BJT（バイポーラ・ジャンクション・トランジスタ）における低ノイズ・高利得を図った半導体装置及びその製造方法に関するものである。

##### 【0002】

##### 【従来の技術】

従来、高利得を図った BJT として、サブストレートをエミッタとする技術が提案されている。図 16 は特許文献 1 に記載の BJT の断面図であり、 $p^+$  型サブストレート 201 上に  $p^-$  型エピタキシャル層 202 を有し、この  $p^-$  型エピタキシャル層 202 中の素子形成領域に  $n^+$  型コレクタ埋込層 203 を有し、さらにその上に  $n^-$  型エピタキシャル層 204 を有している。この  $n^-$  型エピタキシャル層 204 中の前記  $n^+$  型コレクタ埋込層 203 上には  $p$  型ベース層 205 を有し、さらにこの  $p$  型ベース層 205 中に  $n^+$  型エミッタ層 206 を有している。また、前記  $n^+$  型コレクタ埋込層 203 上の一部には  $n^+$  型コレクタコンタクト層 207 を有している。そして、前記  $n^+$  型コレクタコンタクト層 207、 $p$  型ベース層 205、 $n^+$  型エミッタ層 206 はそれぞれ基板の表面の絶縁膜 211 に設けた開口を通してそれぞれコレクタ電極 C、ベース電極 B、エミッタ電

極Eに接続されている。コレクタ電極C及びベース電極Bはそれぞれ図には表れない配線によって所要の電気接続が行われる。また、エミッタ電極Eは前記 $n^+$ 型コレクタ埋込層203が形成されていない領域において前記 $p^+$ 型サブストレート201上に形成された $p^+$ 型埋込層209及び絶縁膜下に形成された $p^+$ 型拡散層からなるチャネルストップ層210を介して電氣的に接続されており、これによりエミッタ電極Eはチャネルストップ層210、 $p^+$ 型埋込層209を介して $p^+$ 型サブストレート201に電気接続された構成とされている。前記 $p^+$ 型サブストレート201の裏面にはメタライズ層221が形成されており、図には表れないパッケージリードに接続される。

#### 【0003】

##### 【特許文献1】

特開昭64-73669号公報

#### 【0004】

また、図17は特許文献2に記載のチップ構成のBJTの断面図であり、基本的には図16のBJTの構造と同じである。すなわち、 $p^+$ 型サブストレート301上に $p^-$ 型エピタキシャル層302を有し、この $p^-$ 型エピタキシャル層302中の素子形成領域に $n^+$ 型コレクタ埋込層303を有し、さらにその上に $n^-$ 型エピタキシャル層304を有している。この $n^-$ 型エピタキシャル層304中の前記 $n^+$ コレクタ埋込層303上には $p$ 型ベース層305を有し、さらにその上に $n^+$ 型エミッタ層306を有している。また、前記 $n^+$ 型コレクタ埋込層303上の一部には $n^+$ 型コレクタコンタクト層307を有している。そして、 $n^+$ 型コレクタコンタクト層307、 $p$ 型ベース層305及び $n^+$ 型エミッタ層306はそれぞれ絶縁膜312に設けた開口からポリシリコン膜321を介してそれぞれコレクタ電極C、ベース電極B、エミッタ電極Eに接続されている。その上で、エミッタ電極Eは前記 $n^+$ 型コレクタ埋込層303が形成されていない領域において前記 $p^+$ 型サブストレート301上に形成された $p^+$ 型埋込層309及び絶縁膜下に形成された高濃度 $p^+$ 型拡散層からなるチャネルストップ層310を介して電氣的に接続されており、これによりエミッタ電極Eはチャネルストップ層310及び $p^+$ 型埋込層309を介して $p^+$ 型サブストレート301に

電気接続された構成とされている。さらに、このように形成されたBJTチップはp+型サブストレート301の裏面においてリードフレームのアイランド331に搭載され、ベース電極B及びコレクタ電極CはそれぞれボンディングワイヤBWを介してリード332, 333に電気接続されている。

#### 【0005】

#### 【特許文献2】

特開平10-247713号公報

#### 【0006】

これら従来のBJTは、いずれもエミッタ層がBJTのエミッタ電極及びp+型拡散層やp+型埋込層を介してp+型サブストレートに電気接続されているため、BJTに対してボンディングワイヤによるエミッタ配線を行う必要がない。そのため、ボンディングワイヤによるインピーダンスを低減して高周波特性を向上させることができるとともに、エミッタ配線の配線長を短縮して電圧降下を抑制し、利得を改善することが可能になる。

#### 【0007】

#### 【発明が解決しようとする課題】

しかしながら本発明者の検討によれば、このような従来のBJTでは、低雑音化を実現することが難しいという問題があることが判明した。すなわち、いずれのBJTも、ベースとしてのp型拡散層の直下にはn+埋込層上の高抵抗のn-型エピタキシャル層が存在しているので、このp型拡散層の直上において電気接続されているベース電極の直下には当該高抵抗のn-型エピタキシャル層が存在することになる。このため、n-型エピタキシャル層に生じる熱雑音がn-型エピタキシャル層とベース電極との間に存在する基板表面の絶縁膜を誘電体とする寄生容量を介してベース電極に入力され、雑音特性(NF特性)を低下させる要因となっている。また、いずれのBJTにおいても図には表れないが、ベース電極を基板表面の絶縁膜上で延長されてベースとは異なる位置に設けたベースボンディングパッドに接続する構成としたときに、当該ベースボンディングパッドの直下に絶縁膜下に設けられたチャネルストッパ層としての高濃度p+型拡散層を介して高抵抗のp-型エピタキシャル層が存在する場合には、当該p型エピタキ

シャル層に生じる熱雑音が当該基板表面の絶縁膜を誘電体とする寄生容量を介してベース電極に入力され、NF特性を低下する要因となっている。

#### 【0008】

本発明の目的は、このようなベース電極あるいはベースボンディングパッドの直下に存在する高抵抗層が要因となるNF特性を改善したエミッタ接地型の高周波BJTとその製造方法を提供するものである。

#### 【0009】

##### 【課題を解決するための手段】

本発明の半導体装置は、低抵抗の半導体基板上に高抵抗の半導体層を有し、前記高抵抗の半導体層上にコレクタとベースとエミッタとを含む素子が形成され、前記エミッタに接続されるエミッタ電極を前記半導体層に設けた低抵抗の拡散層によって前記半導体基板に電気接続した半導体装置において、前記ベースに接続されて外部に導出接続するためのベースボンディングパッドを前記低抵抗の拡散層の直上領域に配設したことを特徴としている。

#### 【0010】

すなわち、本発明にかかるBJTは、一導電型の低抵抗のサブストレートと、前記サブストレート上に成長された一導電型の高抵抗の第1のエピタキシャル層と、前記第1のエピタキシャル層中に形成された逆導電型の低抵抗のコレクタ埋込層と、前記コレクタ埋込層上に成長された逆導電型の第2のエピタキシャル層と、前記第2のエピタキシャル層に形成された一導電型のベースと、前記ベースに形成された逆導電型のエミッタと、前記第2のエピタキシャル層に形成されて前記コレクタ埋込層につながる逆導電型の低抵抗のコレクタコンタクト層と、前記ベース、エミッタ及びコレクタコンタクト層にそれぞれ接続されるベース電極、エミッタ電極、コレクタ電極と、前記第2のエピタキシャル層に形成されたサブエミッタ層と、前記サブエミッタ層を前記サブストレートに接続する一導電型の埋込層と、前記サブエミッタ層に接続されかつ前記エミッタ電極に接続されるサブエミッタ電極と、前記サブエミッタ層上を覆う絶縁膜上に形成されて前記ベース電極に接続されるベースボンディングパッドとを備える。

#### 【0011】



ここで、サブエミッタ層は少なくともベースボンディングパッドの直下領域の全てを覆う領域に形成されることが好ましい。また、サブエミッタ層とベースボンディングパッドとの間に導電膜が介在され、この導電膜がサブエミッタ電極に接続される構成とすることが好ましい。この場合、サブエミッタ層と導電膜とを合わせた領域は少なくともベースボンディングパッドの直下領域の全てを覆う領域として形成されていることが好ましい。また、サブエミッタ層は素子分離用のチャネルストッパ層で構成してもよい。

#### 【0012】

本発明の半導体装置の製造方法は、一導電型の低抵抗のサブストレート上に一導電型の高抵抗の第1のエピタキシャル層を成長する工程と、前記第1のエピタキシャル層に前記サブストレートに接続される一導電型の埋込層を形成する工程と、前記第1のエピタキシャル層中に逆導電型の低抵抗のコレクタ埋込層を形成する工程と、前記コレクタ埋込層上に逆導電型の第2のエピタキシャル層を成長する工程と、前記第2のエピタキシャル層に前記コレクタ埋込層につながる逆導電型の低抵抗のコレクタコンタクト層を形成する工程と、前記第2のエピタキシャル層に前記一導電型の埋込層に接続されるサブエミッタ層を形成する工程と、前記コレクタ埋込層上の前記第2のエピタキシャル層上に一導電型のベースを形成する工程と、前記ベースに逆導電型のエミッタを形成する工程と、前記ベース、エミッタ及びコレクタコンタクト層にそれぞれ接続されるベース電極、エミッタ電極、コレクタ電極を形成する工程と、前記サブエミッタ層と前記エミッタ電極とを接続するサブエミッタ電極を形成する工程と、前記サブエミッタ層上を覆う絶縁膜上に前記ベース電極に接続されるベースボンディングパッドを形成する工程とを備えることを特徴とする。

#### 【0013】

本発明の製造方法において、サブエミッタ層上を覆う絶縁膜上に導電膜を形成する工程を備え、ベースボンディングパッドはこの導電膜を覆う第2の絶縁膜上に形成し、サブエミッタ電極はこの導電膜に接続されるように形成することが好ましい。また、サブエミッタ層は素子分離絶縁膜の直下に形成されるチャネルストッパ層として形成してもよい。

## 【0014】

本発明の半導体装置、特にBJTによれば、エミッタはエミッタ電極からサブエミッタ電極に電気接続され、このサブエミッタ電極からサブエミッタ層及び埋込層を介して接地されるサブストレートに電気接続される。そのため、エミッタ電極に対してボンディングワイヤによるエミッタ配線を行う必要がなく、ボンディングワイヤによるインピーダンスを低減して高周波特性を向上させることができるとともに、エミッタ配線の配線長を短縮して電圧降下を抑制し、利得を改善することが可能になる。

## 【0015】

また、ベース電極はベースボンディングパッドに電気接続され、このベースボンディングパッドに接続されるボンディングワイヤによって外部に接続されるが、ベースボンディングパッドの直下にはサブエミッタ層が存在しており、このサブエミッタ層埋込層を介してサブストレートに電気接続されて接地されているため、接地電位（GND電位）とされている。そのため、高抵抗のエピタキシャル層において生じる熱雑音はサブエミッタ層によって接地に逃がされることになり、ベースボンディングパッドの直下の絶縁膜を誘電体とする寄生容量が存在している場合でも、熱雑音がベースボンディングパッドないしベースに入力されることがなく、雑音特性（NF特性）を改善することが可能になる。

## 【0016】

## 【発明の実施の形態】

次に、本発明の実施形態を図面を参照して説明する。図1は本発明の第1の実施形態のBJTの各電極及び配線の平面レイアウト図、図2は図1のA-A'線に沿う断面図である。これらの図において、高濃度低抵抗のp<sup>+</sup>型サブストレート101上に低濃度高抵抗のp<sup>-</sup>型エピタキシャル層102が形成され、このp<sup>-</sup>型エピタキシャル層102中の素子形成領域にはコレクタとなる高濃度・低抵抗のn<sup>+</sup>型コレクタ埋込層103が形成されている。また、このn<sup>+</sup>型コレクタ埋込層103上の前記p<sup>-</sup>型エピタキシャル層102上には、低濃度・高抵抗のn<sup>-</sup>型エピタキシャル層104が形成されており、このn<sup>-</sup>型エピタキシャル層104にはp型ベース層105が形成され、前記p型ベース層105にはn<sup>+</sup>型エ

ミッタ層 107 が形成されている。さらに、前記  $n^-$  型エピタキシャル層 104 には、前記  $n^+$  型コレクタ埋込層 103 に達する深さの  $n^+$  型コレクタコンタクト層 108 が形成されている。一方、前記  $p^-$  型エピタキシャル層 102 中の素子分離領域となる領域には高濃度・低抵抗の  $p^+$  型埋込層 109 が形成されており、この  $p^+$  型埋込層 109 は前記  $p^+$  型サブスレート 101 に接する深さに至るまで形成されている。また、前記  $n^-$  型エピタキシャル層 104 の前記  $p^+$  型埋込層 109 上には、高濃度・低抵抗の  $p^+$  型サブエミッタ層 110 が形成されている。

#### 【0017】

そして、全表面に第 1 の絶縁膜 111 が形成されている。前記  $p$  型ベース層 105 に対応する箇所にベースコンタクトホールが開口され、このベースコンタクトホールを覆うように第 1 のポリシリコン膜 121 及び第 2 の絶縁膜 112 が積層状態に形成されている。前記第 1 のポリシリコン膜 121 及び第 2 の絶縁膜 112 はその中心位置において前記  $n^+$  型エミッタ層 107 を露出する開口が形成されるとともに、前記第 1 のポリシリコン膜 121 はこの開口の周囲において  $p$  型ベース層 105 に接続されている。さらに、この開口の内面にはシリコン酸化膜からなる第 1 及び第 2 の側壁 115a, 115b が形成され、特に第 2 の側壁 115b で囲まれた前記開口を覆う領域及びその周囲領域に第 2 のポリシリコン膜 122 が形成されて  $n^+$  型エミッタ層 107 に接続されている。その上で全面に第 3 の絶縁膜 113 及び第 4 の絶縁膜 114 が形成され、これら第 3, 4 の絶縁膜を通してコレクタコンタクトホールが開口され、前記第 1, 3, 4 の絶縁膜を通してサブエミッタコンタクトホールが開口され、前記第 2, 3, 4 の絶縁膜を通してベースコンタクトホール、エミッタコンタクトホールがそれぞれ開口され、各コンタクトホール内にはバリアメタル膜 123 が形成され、さらに各コンタクトホール内に金属等の配線材料 124 が埋設され、これによりそれぞれコレクタ電極 C、サブエミッタ電極 SE、ベース電極 B、エミッタ電極 E が形成されている。

#### 【0018】

また、前記  $p^+$  型サブエミッタ層 110 が形成されている領域の前記第 1, 3

、4の絶縁膜上には、前記配線材料124の一部を利用してベースボンディングパッドBPが形成されている。ここで、図1に示すように、前記配線材料124を前記第4の絶縁膜上で所要のパターンに形成して配線Lを形成することにより、前記エミッタ電極Eと前記サブエミッタ電極SEとが電気接続され、前記ベース電極Bと前記ベースボンディングパッドBPとが電気接続され、さらに、前記コレクタ電極CにはコレクタボンディングパッドCPが電気接続されている。なお、図2に示すように、前記p<sup>+</sup>型サブストレート101の裏面にはメタライズ膜125が形成されている。

#### 【0019】

このように構成されたBJTは、p<sup>+</sup>型サブストレート101の裏面のメタライズ125を利用してリードフレーム130のアイランド131上に搭載すると同時に、当該アイランド131に対する電気接続を行っている。また、図2には示されないが、図1に示した前記コレクタボンディングパッドCP及びベースボンディングパッドBPは、前記リードフレームのリードにボンディングワイヤにより電気接続されている。

#### 【0020】

以上の構成のBJTの製造方法を図3～図12を参照して説明する。まず、図3のように、p<sup>+</sup>型サブストレート101上にp<sup>-</sup>型エピタキシャル層102をエピタキシャル成長する。ここで、p<sup>+</sup>型サブストレート101は例えば比抵抗 $\rho=0.01\sim0.1\ \Omega\text{cm}$ のものをを用いている。また、p<sup>-</sup>型エピタキシャル層102はボロンを添加して例えば比抵抗 $\rho=5\sim30\ \Omega\text{cm}$ で、厚さ $2\sim15\ \mu\text{m}$ に形成する。

#### 【0021】

次いで、図4のように、表面にフォトリソを塗布し、素子分離領域内の一部で、後にベースボンディングパッドを形成する領域よりも広い領域を開口したレジストパターン141を形成する。そして、このレジストパターン141を用いて前記p<sup>-</sup>型エピタキシャル層102にボロン(B)をイオン注入し、かつ1100℃以上で熱処理して前記p<sup>+</sup>型サブストレート101にまで達する深さのp<sup>+</sup>型埋込層109を形成する。例えば、ボロン濃度は $1\text{E}18\text{cm}^{-3}$ とする。

## 【0022】

次いで、図5のように、新たに表面にフォトリソを塗布し、素子形成領域を開口したレジストパターン142を形成する。そして、このレジストパターン142を用いて前記p-型エピタキシャル層102の表面領域に砒素(As)をイオン注入し、例えば抵抗 $\rho_s = 10 \sim 30 \Omega/\square$ のn+型コレクタ埋込層103を形成する。

## 【0023】

次いで、図6のように、前記p-型エピタキシャル層102上にn-型エピタキシャル層104をエピタキシャル成長する。ここで、n-型エピタキシャル層104はリン(P)を添加して例えば比抵抗 $\rho = 0.5 \sim 4 \Omega \cdot \text{cm}$ で、厚さ $0.5 \sim 5 \mu\text{m}$ に形成する。

## 【0024】

次いで、図7のように、新たに表面にフォトリソを塗布し、前記p+型埋込層109上の領域を開口したレジストパターン143を形成する。そして、このレジストパターン143を用いて前記n-型エピタキシャル層104にボロン(B)をイオン注入し、かつ $900^\circ\text{C}$ 以上で熱処理して前記p+型埋込層109にまで達するp+型サブエミッタ層110を形成する。例えば、ボロン濃度は $1 \times 10^{18} \text{ cm}^{-3}$ とする。

## 【0025】

次いで、図8のように、新たに表面にフォトリソを塗布し、前記n+型コレクタ埋込層103上の一部領域を開口したレジストパターン144を形成する。そして、このレジストパターン144を用いて前記n-型エピタキシャル層104にリン(P)をイオン注入し、かつ熱処理して前記p+型コレクタ埋込層103にまで達するp+型コレクタコンタクト層108を形成する。このp+型コレクタコンタクト層108の比抵抗はp+型コレクタ埋込層103と同程度とする。

## 【0026】

次いで、図9のように、表面に熱酸化法やCVD法により成長した酸化膜により第1の絶縁膜111を形成する。そして、前記第1の絶縁膜111を図外のレ

ジストパターンを用いたフォトリソグラフィ技術を用いて選択エッチングし、ベースの形成領域を開口する。このとき  $n^-$  型エピタキシャル層 104 の表面は浅くエッチングされる。そして、この開口した領域に熱酸化により薄いシリコン酸化膜 111c を形成する。なお、要部については拡大図を併せて示している。これは図 10, 図 11 においても同様である。

#### 【0027】

次いで、図 10 のように、前記第 1 の絶縁膜 111 及び薄いシリコン酸化膜 111c の上に所要の厚さにボロン (B) を添加した第 1 のポリシリコン膜 121 を形成し、かつその上に第 2 の絶縁膜 112 を積層し、その後図外のレジストパターンを用いたフォトリソグラフィ技術により前記第 2 の絶縁膜 112、第 1 のポリシリコン膜 121 を選択エッチングして前記開口よりも狭い領域を開口する。次いで、全面に絶縁膜を成長し、かつこの絶縁膜を異方性エッチングすることで前記第 2 の絶縁膜 112 の開口の内側面にのみ前記絶縁膜を残して第 1 の側壁 115a を形成し、前記第 1 のポリシリコン膜 121 の端部を絶縁被覆する。しかる後、前記薄いシリコン酸化膜 111c をエッチングし、凹部 106 を形成する。このとき薄いシリコン酸化膜 111c は第 1 のポリシリコン膜 121 の開口された縁部よりも外側に向けた下部領域までエッチングされるため、凹部 106 も第 1 の側壁 115a よりも拡大された領域に形成される。

#### 【0028】

しかる後、図 11 のように、形成された凹部 106 の底面に露呈された  $n^-$  型エピタキシャル層 104 上にボロン (B) を添加した SiGe を選択エピタキシャル成長し、 $n^-$  型エピタキシャル層 104 と一体化された P 型ベース層 105 を形成する。この p 型ベース層 105 は周辺において前記第 1 のポリシリコン膜 121 に接続される。再度、全面に絶縁膜を成長し、かつこの絶縁膜を異方性エッチングすることで前記第 1 の側壁 115a の内側に第 2 の側壁 115b を形成し、開口を狭める。しかる後、第 2 のポリシリコン膜 122 を形成した後、当該第 2 のポリシリコン膜 122 に砒素 (As) を注入する。これにより注入された砒素 (As) は前記 P 型ベース層 105 に注入され、 $p^+$  型エミッタ層 107 が形成される。

## 【0029】

その後、図12のように、図外のレジストパターンを用いたフォトリソグラフィ技術によって第2のポリシリコン膜122を選択エッチングし前記第2の絶縁膜112及び第2の側壁115bの開口を覆う領域に残す。さらに、図外のレジストパターンを用いたフォトリソグラフィ技術によって絶縁膜112と第1のポリシリコン膜121を選択エッチングする。さらに、その上に全面にCVD法によりシリコン酸化膜からなる第3の絶縁膜113を形成し、その上に平坦化のための絶縁膜114を形成する。

## 【0030】

次いで、図2に示したように、前記第4, 3, 1の各絶縁膜114, 113, 111を通して前記n+型コレクタコンタクト層108を露出するコレクタコンタクトホールを開口し、同時に前記p+型サブエミッタ層110を露出するサブエミッタコンタクトホールを開口する。また、前記第4, 3, 2の各絶縁膜114, 113, 112を通して前記第1のポリシリコン膜121を露出するベースコンタクトホールを開口する。さらに、前記第4, 3の各絶縁膜114, 113を通して前記第2のポリシリコン膜122を露出するエミッタコンタクトホールを開口する。そして、前記各コンタクトホール内にチタン(Ti)、チタンタンゲステン(TiW)等からなるバリア膜123を形成し、さらに前記各コンタクトホールをアルミニウム(Al)や金(Au)等の金属材料124を埋め込んでコレクタ電極C、サブエミッタ電極SE、ベース電極B、エミッタ電極Eを形成する。

## 【0031】

さらに、図1に示したように、これら各電極C, SE, B, Eと同時に前記各電極につながる配線Lを形成する。そして、この配線Lにより、前記エミッタ電極Eと前記サブエミッタ電極SEとを電気接続する。また、前記金属材料124の一部で前記p+型サブエミッタ層110上の前記第4絶縁膜114上にベースボンディングパッドBPを形成し、また、同時に第4絶縁膜114上の他の領域にコレクタボンディングパッドCPを形成し、当該配線工程で形成する配線Lによって前記ベース電極BとベースボンディングパッドBPを電気接続し、またコ

レクタ電極CとコレクタボンディングパッドCPを電気接続する。以上により、図1及び図2に示したBJTが製造される。

#### 【0032】

この第1の実施形態のBJTによれば、 $n^+$ 型エミッタ層107はエミッタ電極Eから配線Lを通してサブエミッタ電極SEに電気接続され、このサブエミッタ電極SEから $p^+$ 型サブエミッタ層110及び $p^+$ 型埋込層109を介して $p^+$ 型サブストレート101に電気接続される。さらに、 $p^+$ 型サブストレート101から裏面のメタライズ125を介してリードフレーム130のアイランド131に電気接続されて接地されることになる。したがって、BJTをリードフレームに搭載したときには、エミッタ電極Eをリードフレームに接続するためのボンディングワイヤによるエミッタ配線を行う必要がなく、ボンディングワイヤによるインピーダンスを低減して高周波特性を向上させることができるとともに、エミッタ配線の配線長を短縮して電圧降下を抑制し、利得を改善することが可能になる。

#### 【0033】

また、ベース電極Bは配線Lを介してベースボンディングパッドBPに電気接続され、このベースボンディングパッドBPに接続されるボンディングワイヤによって所定のリードに電気接続されることになる。このとき、ベースボンディングパッドBPの直下には $p^+$ 型サブエミッタ層110が存在しており、この $p^+$ 型サブエミッタ層110は前述のように $p^+$ 型埋込層109を介して $p^+$ 型サブストレート101に電気接続されて接地されているため、接地電位（GND電位）とされている。そのため、ベースボンディングパッドBPの下層に存在する高抵抗の $n^-$ 型エピタキシャル層104や $p^-$ 型エピタキシャル層102で生じる熱雑音は $p^+$ 型サブエミッタ層110によって接地に逃がされることになり、ベースボンディングパッドBPの直下において第4，3，1の絶縁膜を誘電体とする寄生容量が存在している場合でも、熱雑音がベースボンディングパッドBPないしベース電極B、さらにはBJTのベースに入力されることがなく、雑音特性（NF特性）を改善することが可能になる。

#### 【0034】



また、この第1の実施形態ではベース層105をシリコンゲルマニウム (SiGe) 層で構成しているため、バンドギャップが小さくなり、エミッターベース接合がヘテロ接合となる。このEBヘテロ接合によりエミッタからベースへの電子注入効率が高くなるため、従来のシリコンBJTに比べ $hFE$ が大きくなる。従来のシリコンBJTでは $hFE$ の低下を避けるためベース不純物濃度を高濃度 (例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上) にできなかったが、SiGe・HBTでは $hFE$ を低下させることなく、ベース不純物濃度を高濃度にできる。したがって、SiGe・HBTでは、ベース不純物濃度を高濃度とすることで、ベース抵抗が低減し、ベース抵抗起因で発生する熱雑音を低減できる。

#### 【0035】

因みに、第1の実施形態のBJTでは、400MHz～5.5GHzの高周波帯域での使用において、雑音特性 (NF特性) が0.1～0.3dB改善されたことが確認された。また、利得についても、エミッタボンディングワイヤを用いたBJTに比較して2～3dB改善されたことが確認されている。

#### 【0036】

図13は本発明の第2の実施形態のBJTの断面図であり、第1の実施形態の図2の断面図に相当する図である。なお、第1の実施形態と等価な部分には同一符号を付して詳細な説明は省略する。この第2の実施形態では、第2の絶縁膜112を形成した上に $n^+$ 型エミッタ層107を形成するための第2のポリシリコン膜122を形成する際に、当該第2のポリシリコン膜122の一部122aを $p^+$ 型サブエミッタ層110の直上の領域、換言すればベースボンディングパッドBPを形成する領域に可及的に広い面積に形成しておく。そして、前記第2のポリシリコン膜122、122a上に第3及び第4の絶縁膜113、114を形成し、その後前記 $p^+$ 型サブエミッタ層110の直上にサブエミッタ電極SEを形成する際に、当該サブエミッタ電極SEが前記第2のポリシリコン膜の一部122aに電気接続するように構成している。

#### 【0037】

この第2の実施形態では、ベースボンディングパッドBPの直下には、第4、3の絶縁膜114、113を介してサブエミッタ電極SEに接続された第2のポ

リシリコン膜の一部 122a が存在し、このポリシリコン膜 122a はサブエミッタ電極 SE を介して p<sup>+</sup> 型サブエミッタ層 110、p<sup>+</sup> 型埋込層 109、さらに p<sup>+</sup> 型サブストレータ 101 に接続されて接地電位とされている。すなわち、第 2 のポリシリコン膜の一部 122a は接地シールド膜として構成されている。これにより、ベースボンディングパッド BP は直下において接地シールド膜 122a によってシールドされた状態となり、p<sup>-</sup> 型エピタキシャル層 102 の熱雑音がベースボンディングパッド BP ないしはベースに入力されることを確実に防止することが可能になる。

#### 【0038】

この第 2 の実施形態においては、p<sup>+</sup> 型サブエミッタ層 110 を広く形成し、この p<sup>+</sup> 型サブエミッタ層 110 上に接地シールド膜 122a を形成した例を示しているが、p<sup>+</sup> 型サブエミッタ層 110 の面積に制約を受けるような場合、すなわち、ベースボンディングパッド BP の全直下領域にわたって p<sup>+</sup> 型サブエミッタ層 110 を形成できないような場合でも、接地シールド膜 122a をベースボンディングパッド BP の全直下領域にわたって形成することでベースボンディングパッド BP への熱雑音の入力防止効果を得ることができる。また、この場合、例えば、図 14 に示すように、ベースボンディングパッド BP の全直下領域の一部の領域に p<sup>+</sup> 型サブエミッタ層 110 を配設し、他の領域に接地シールド膜 122a がそれぞれ形成され、これら p<sup>+</sup> 型サブエミッタ層 110 と接地シールド膜 122a とでベースボンディングパッド BP の全直下領域をシールドするように構成することも可能である。

#### 【0039】

図 15 は本発明の第 3 の実施形態の断面図であり、第 1 及び第 2 の実施形態と等価な部分には同一符号を付して詳細な説明は省略する。この実施形態では、熱酸化膜で素子形成領域を絶縁分離するための素子分離絶縁膜 111a を形成し、その上に絶縁膜 111b を形成して第 1 の絶縁膜 111 として構成している。前記素子分離絶縁膜 111a は LOCOS 法あるいは STI 法等が採用可能であるが、ここでは LOCOS 法を用いた例を示している。そして、この LOCOS 法の素子分離絶縁膜（以下、LOCOS 膜と称する）111a の直下に p<sup>+</sup> 型チャ

ネルストップ層 110A を形成して素子間の分離を行っているが、この p<sup>+</sup> 型チャネルストップ層 110A の少なくとも一部の直下に予め p<sup>+</sup> 型埋込層 109 を形成しておき、p<sup>+</sup> 型サブストレート 101 に接続するように構成している。さらに、前記 LOCOS 膜 111a の一部にサブエミッタ電極 SE を形成して前記 p<sup>+</sup> 型チャネルストップ層 110A に電気接続する一方で、前記 LOCOS 膜 111a 上にベースボンディングパッド BP を形成している。

#### 【0040】

この第3の実施形態では、従来技術のように素子分離絶縁膜で素子間を絶縁分離するための p<sup>+</sup> 型チャネルストップ層 110A が存在する BJT に本発明を適用する場合に、当該 p<sup>+</sup> 型チャネルストップ層 110A を p<sup>+</sup> 型サブエミッタ層として機能させるとともに、当該 p<sup>+</sup> 型チャネルストップ層 110A の直上の絶縁膜上にベースボンディングパッド BP を配置することで、p<sup>-</sup> 型エピタキシャル層 102 や n<sup>-</sup> 型エピタキシャル層 104 からの熱雑音がベースボンディングパッド BP に入力することが防止できる。したがって、第3の実施形態では従来の製造工程をほとんどそのまま利用して本発明を実現することが可能であり、製造工程の短縮が実現できる。

#### 【0041】

ここで、前記各実施形態では NPN 型の BJT に本発明を適用した例を示しているが、PNP 型の BJT についても各層の極性を逆にすることで本発明を同様に適用することが可能である。

#### 【0042】

また、前記各実施形態では、セルフアラインの SeGe ベースとして構成した例を示しているが、セルフアラインでイオン注入を行って形成したイオン注入ベースとして構成してもよい。あるいは、コンベンショナルなプレーナ型のベースとして構成してもよいことは言うまでもない。

#### 【0043】

#### 【発明の効果】

以上説明したように本発明は、エミッタはエミッタ電極からサブエミッタ電極に電気接続され、このサブエミッタ電極からサブエミッタ層及び埋込層を介して

接地されるサブストレートに電気接続される。そのため、エミッタ電極に対してボンディングワイヤによるエミッタ配線を行う必要がなく、ボンディングワイヤによるインピーダンスを低減して高周波特性を向上させることができるとともに、エミッタ配線の配線長を短縮して電圧降下を抑制し、利得を改善することが可能になる。また、ベース電極はベースボンディングパッドに電気接続され、このベースボンディングパッドに接続されるボンディングワイヤによって外部に接続されるが、ベースボンディングパッドの直下にはサブエミッタ層が存在しており、このサブエミッタ層埋込層を介してサブストレートに電気接続されて接地されているため、接地電位（GND電位）とされている。そのため、高抵抗のエピタキシャル層において生じる熱雑音はサブエミッタ層によって接地に逃がされることになり、ベースボンディングパッドの直下の絶縁膜を誘電体とする寄生容量が存在している場合でも、熱雑音がベースボンディングパッドないしベースに入力されることがなく、雑音特性（NF特性）を改善することが可能になる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態の BJT の電極の平面レイアウト図である。

【図 2】

図 1 の A - A' 線に沿う断面図である。

【図 3】

第 1 の実施形態の製造方法を工程順に示す断面図のその 1 である。

【図 4】

第 1 の実施形態の製造方法を工程順に示す断面図のその 2 である。

【図 5】

第 1 の実施形態の製造方法を工程順に示す断面図のその 3 である。

【図 6】

第 1 の実施形態の製造方法を工程順に示す断面図のその 4 である。

【図 7】

第 1 の実施形態の製造方法を工程順に示す断面図のその 5 である。

【図 8】

第 1 の実施形態の製造方法を工程順に示す断面図のその 6 である。

【図 9】

第 1 の実施形態の製造方法を工程順に示す断面図のその 7 である。

【図 1 0】

第 1 の実施形態の製造方法を工程順に示す断面図のその 8 である。

【図 1 1】

第 1 の実施形態の製造方法を工程順に示す断面図のその 9 である。

【図 1 2】

第 1 の実施形態の製造方法を工程順に示す断面図のその 1 0 である。

【図 1 3】

本発明の第 2 の実施形態の図 2 と同様の断面図である。

【図 1 4】

本発明の第 2 の実施形態の変形例の図 1 3 と同様の断面図である。

【図 1 5】

本発明の第 3 の実施形態の変形例の図 1 3 と同様の断面図である。

【図 1 6】

従来の B J T の一例の断面図である。

【図 1 7】

従来の B J T の他の例の断面図である。

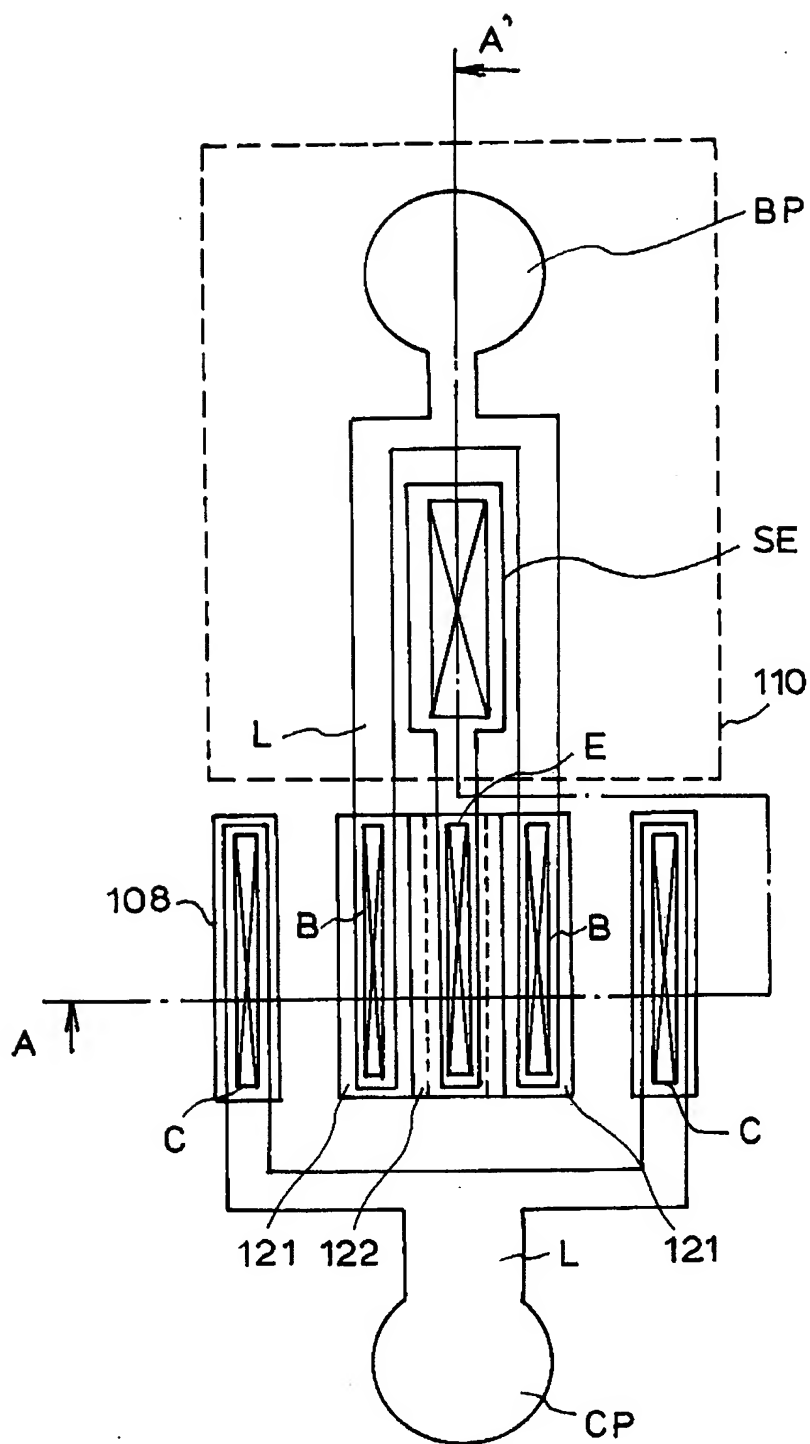
【符号の説明】

- 1 0 1   p<sup>+</sup> 型サブストレート
- 1 0 2   p<sup>-</sup> 型エピタキシャル層
- 1 0 3   n<sup>+</sup> 型コレクタ埋込層
- 1 0 4   n<sup>-</sup> 型エピタキシャル層
- 1 0 5   p 型ベース層
- 1 0 7   n<sup>+</sup> 型エミッタ層
- 1 0 8   n<sup>+</sup> 型コレクタコンタクト層
- 1 0 9   p<sup>+</sup> 型埋込層
- 1 1 0   p<sup>+</sup> 型サブエミッタ層

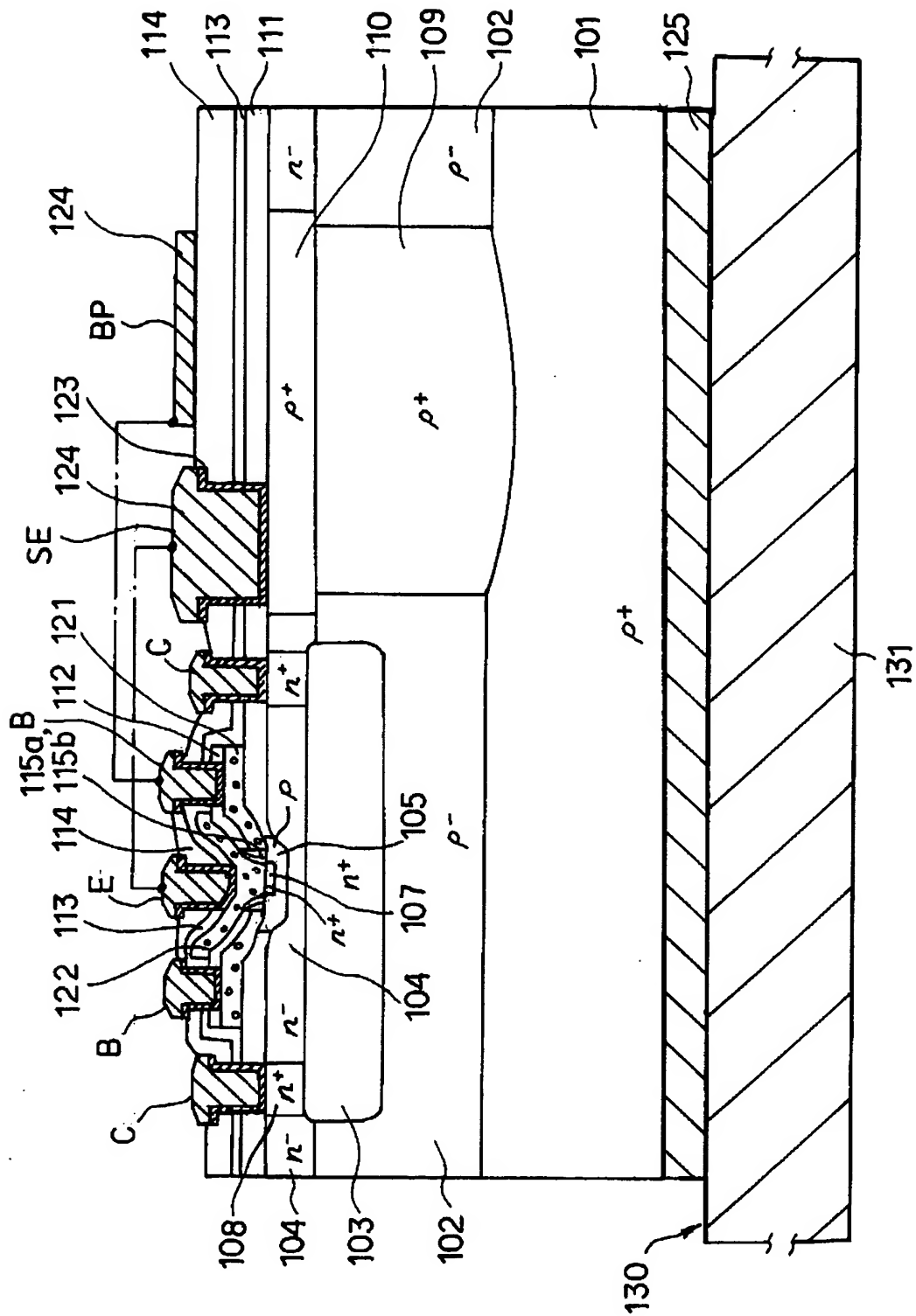
- 1 1 1 第 1 の絶縁膜
  - 1 1 1 a LOCOS 膜
- 1 1 2 第 2 の絶縁膜
- 1 1 3 第 3 の絶縁膜
- 1 1 4 第 4 の絶縁膜
- 1 1 5 側壁
- 1 2 1 第 1 のポリシリコン膜
- 1 2 2 第 2 のポリシリコン膜
- 1 2 3 バリア膜
- 1 2 4 配線材料
- 1 3 0 リードフレーム
  - 1 3 1 アイランド
- C コレクタ電極
- B ベース電極
- E エミッタ電極
  - S E サブエミッタ電極
- B P ベースボンディングパッド
- C P コレクタボンディングパッド
- L 配線

【書類名】 図面

【図 1】

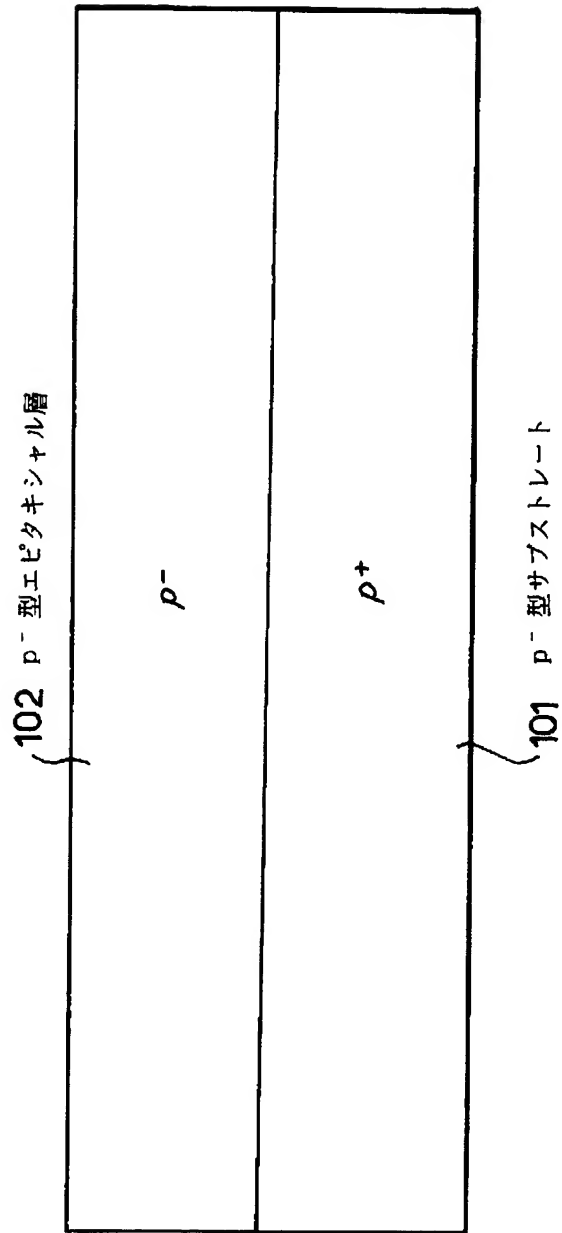


【図 2】

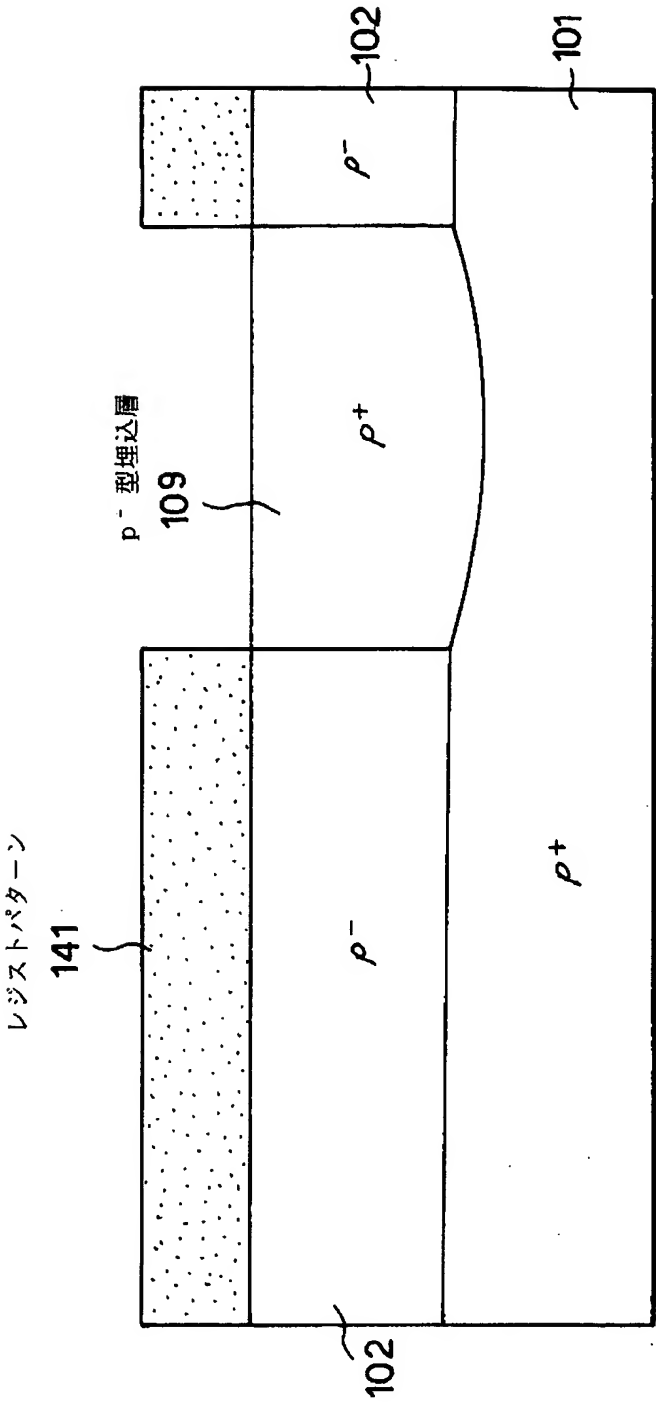




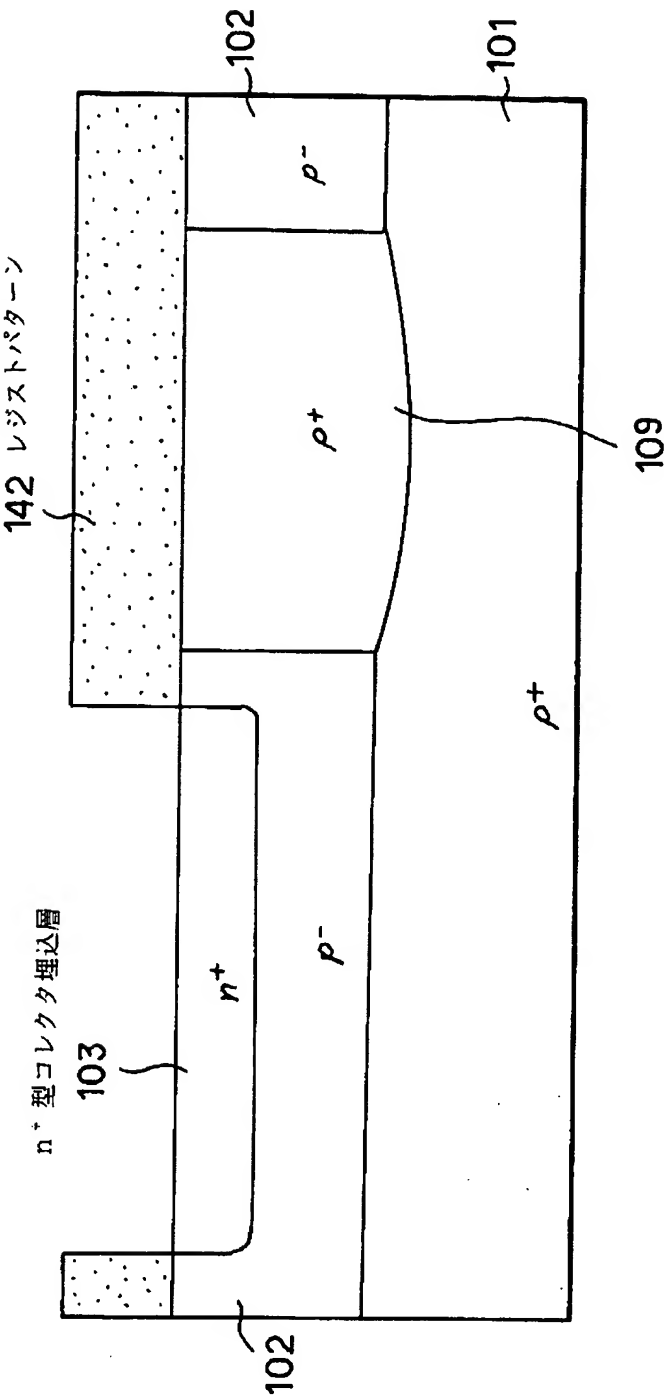
【図 3】



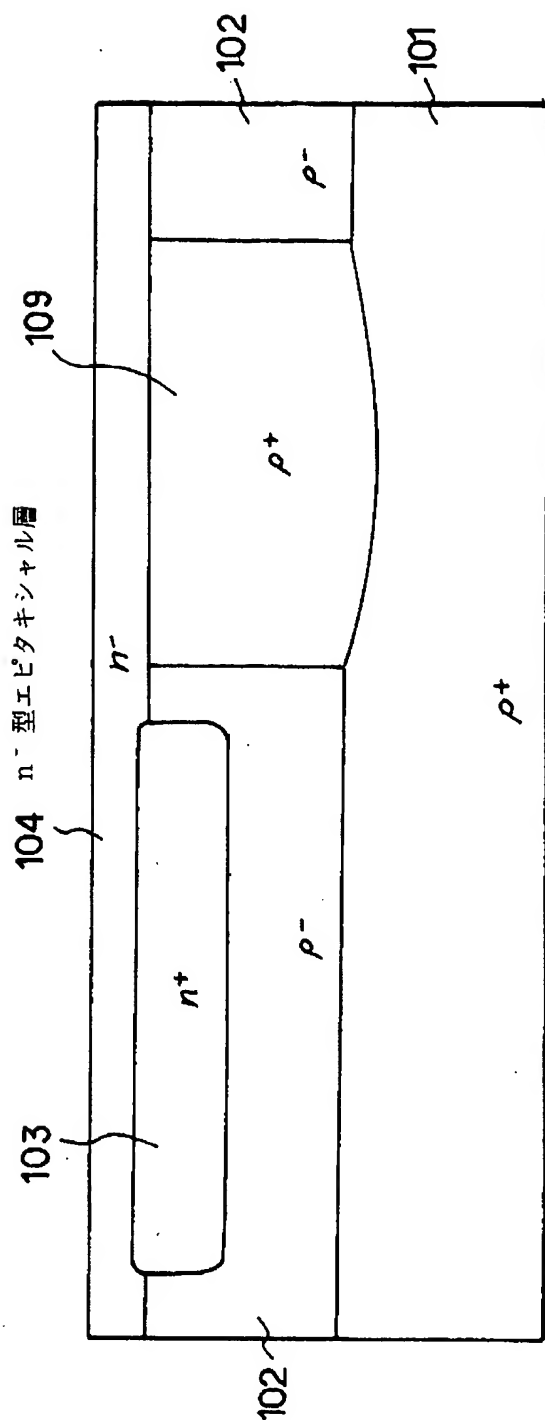
【図 4】



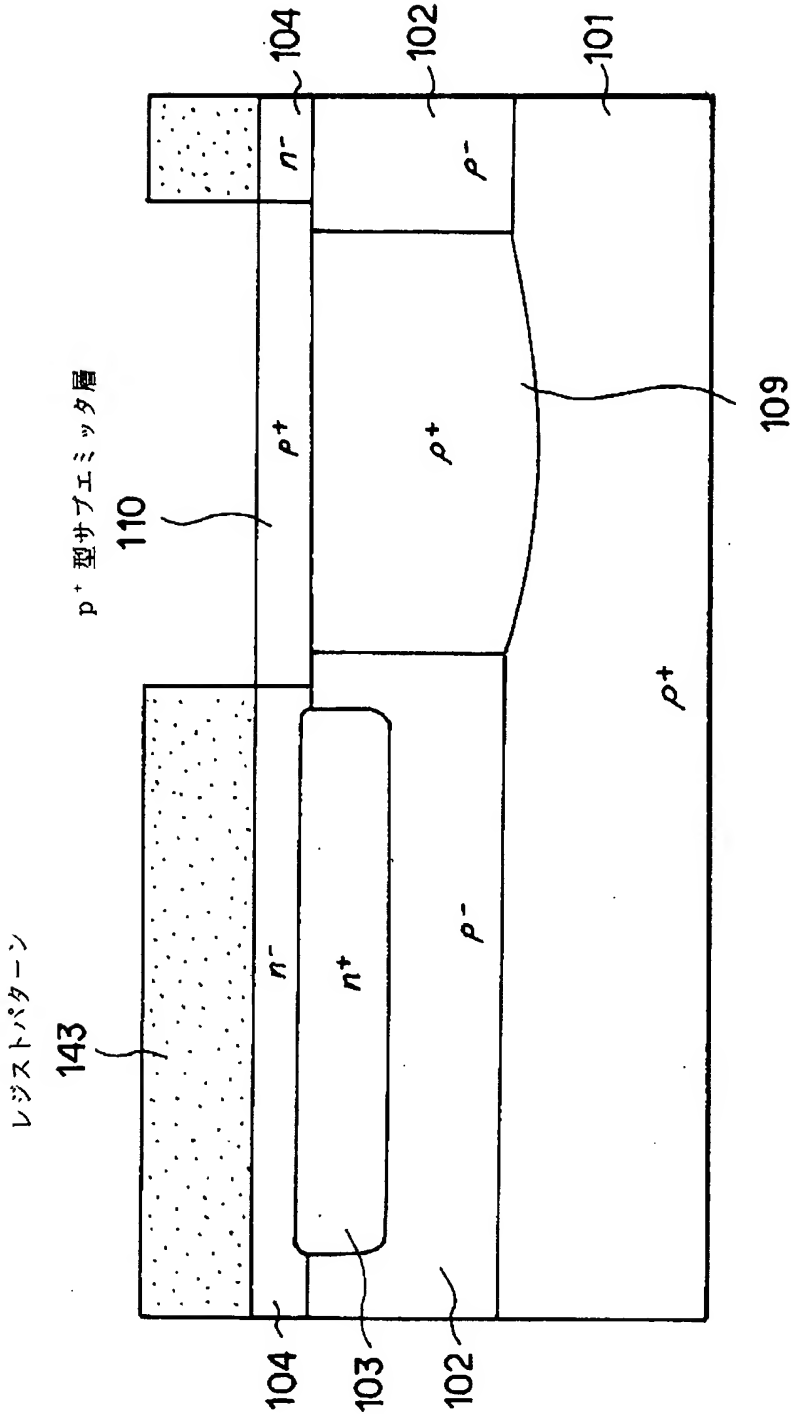
【図 5】



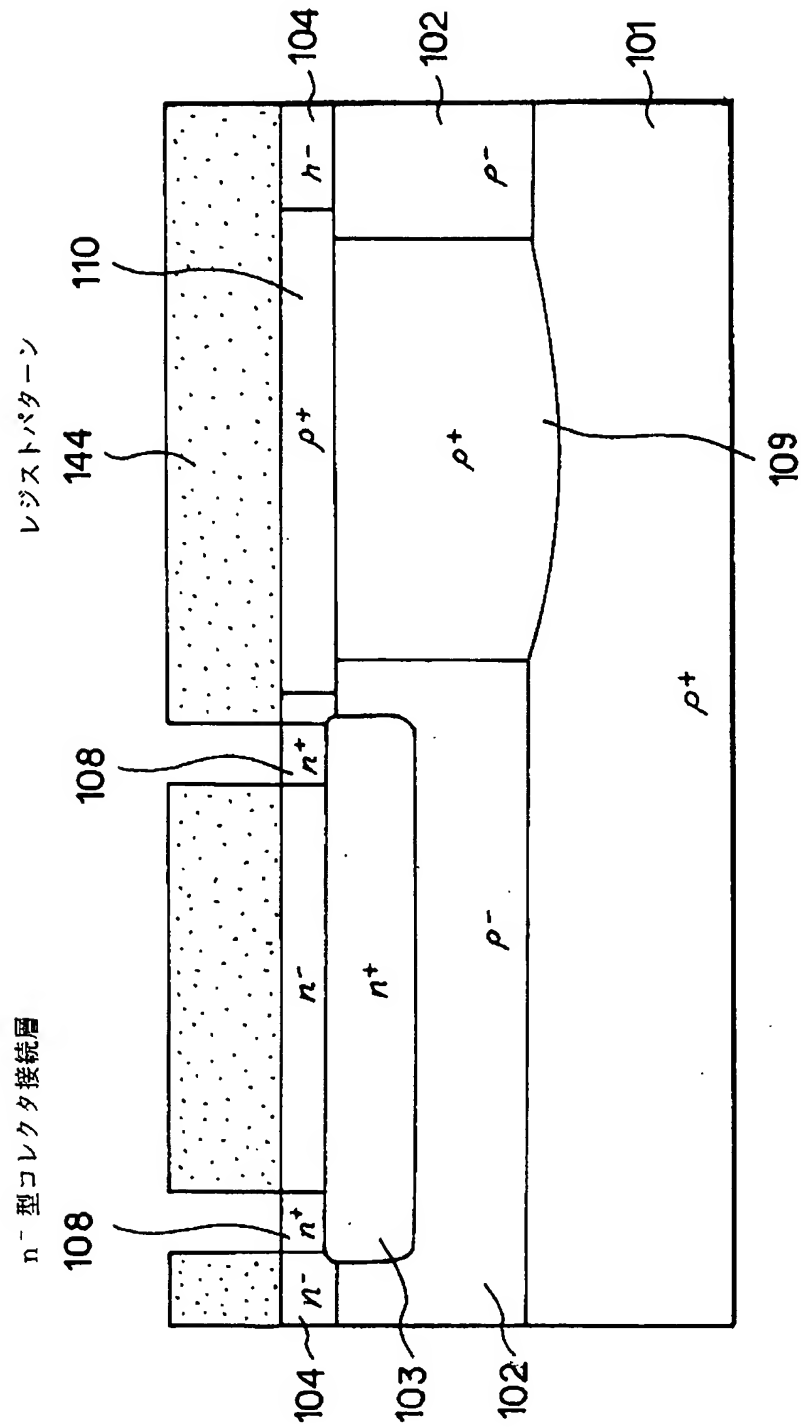
【図 6】



【図 7】



【图 8】

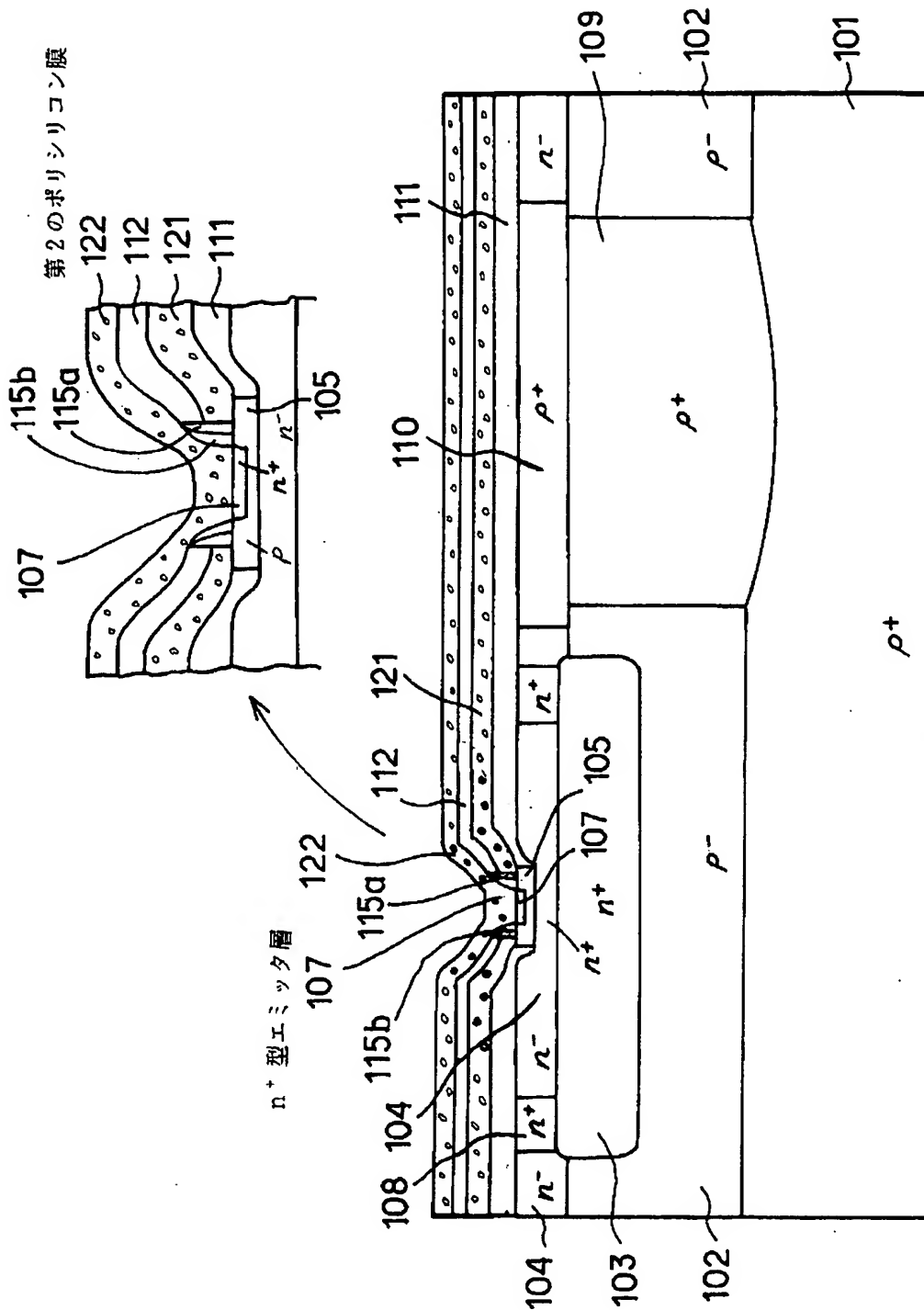




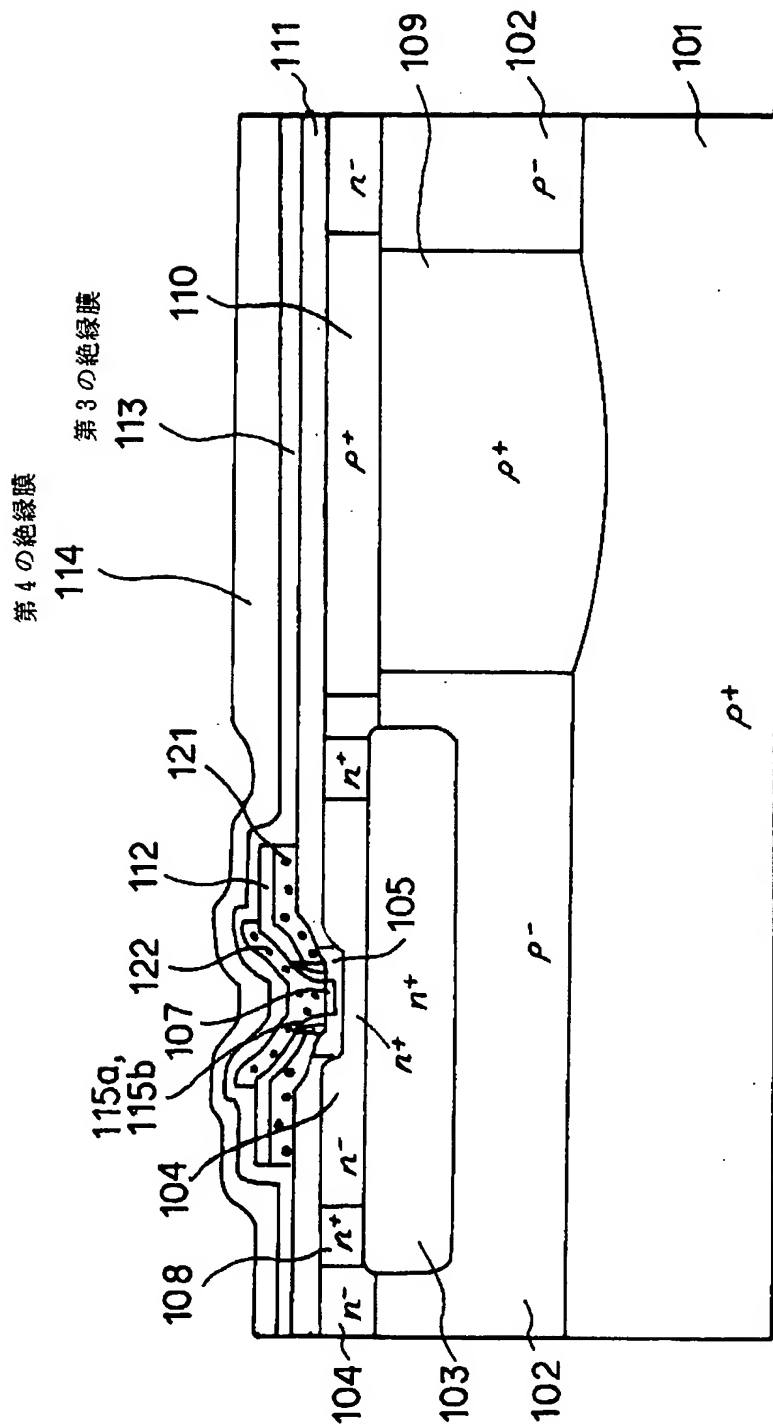




【図 1 1】



【図 12】

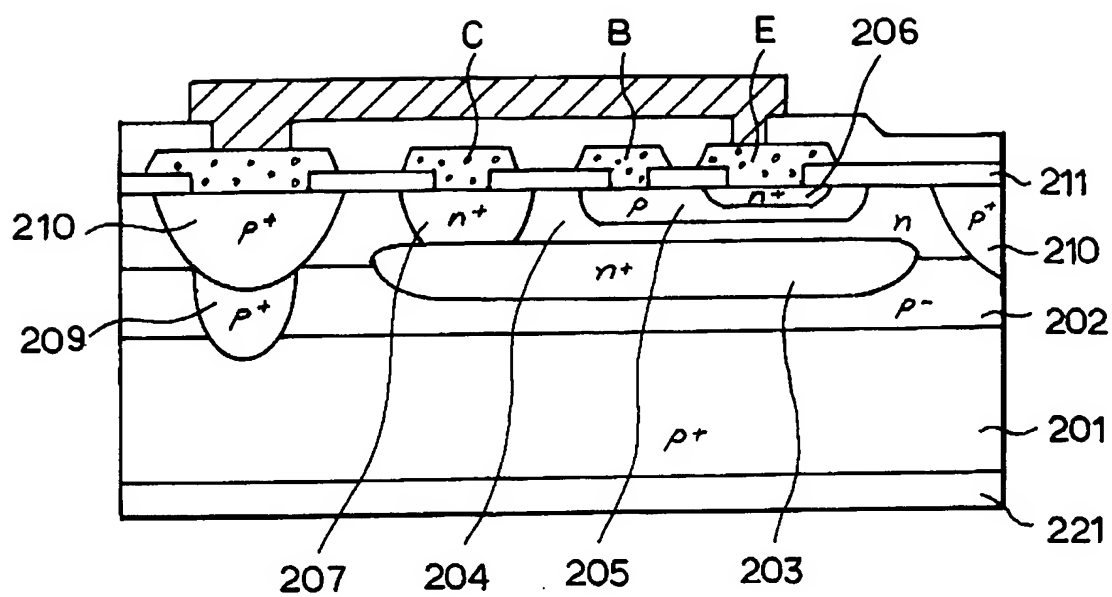




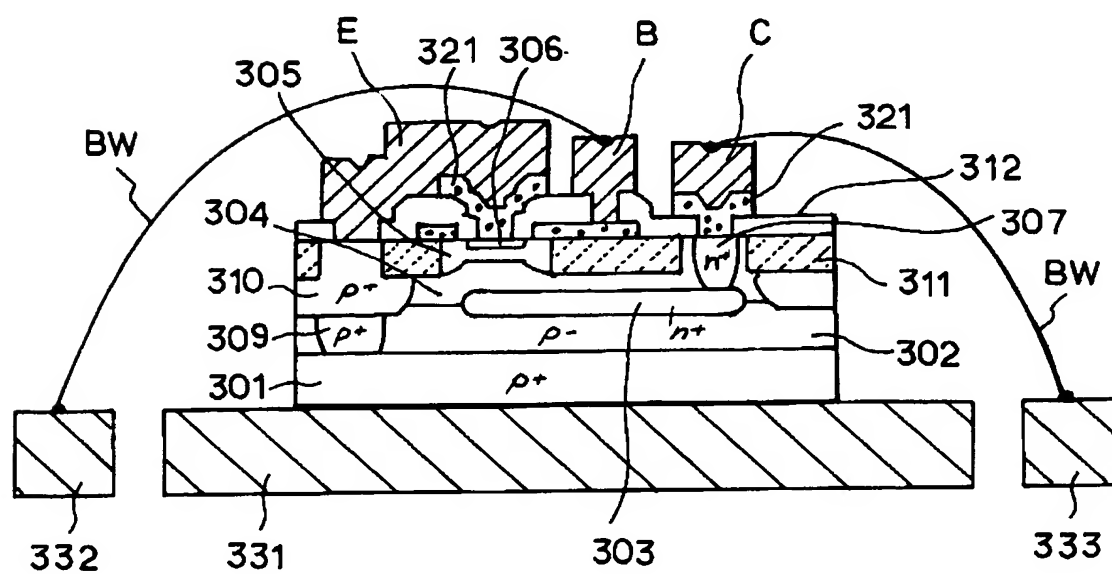




【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 B J T (バイポーラ・ジャンクション・トランジスタ) において、ベース電極あるいはベースボンディングパッドの直下に存在する高抵抗層が要因となる N F 特性を改善する。

【解決手段】 低抵抗のサブストレート 1 0 1 上の高抵抗のエピタキシャル層 1 0 2 にコレクタ層 1 0 3 とベース層 1 0 5 とエミッタ層 1 0 7 とを含む B J T が形成され、エミッタ電極 E を低抵抗のサブエミッタ層 1 1 0 と埋込層 1 0 9 によってサブストレート 1 0 1 に電気接続し、ベース電極 B に接続されるベースボンディングパッド B P をサブエミッタ層 1 1 0 の直上領域に配設する。サブストレート 1 0 1 を接地することでサブエミッタ層 1 0 9 も接地電位となり、エピタキシャル層で発生する熱雑音をサブエミッタ層 1 1 0 から逃がしてベースボンディングパッド B P に入力することを防止し、B J T の雑音指数特性を改善する。

【選択図】 図 2

特願 2 0 0 2 - 2 8 8 7 7 7

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 0 0 3 4 6 ]

1. 変更年月日

2 0 0 1 年 1 2 月 2 5 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3

氏 名

エヌイーシー化合物デバイス株式会社

2. 変更年月日

2 0 0 2 年 1 2 月 2 5 日

[変更理由]

名称変更

住 所

神奈川県川崎市中原区下沼部 1 7 5 3

氏 名

N E C 化合物デバイス株式会社